

DERWENT-ACC-NO: 1995-120242

DERWENT-WEEK: 199516

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor device mounting method for bare-chip type device - involves formation of solder resist along circumference of die pad

PATENT-ASSIGNEE: MATSUSHITA ELECTRIC WORKS LTD[MATW]

PRIORITY-DATA: 1993JP-0190516 (July 30, 1993)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<u>JP 07045641 A</u>	February 14, 1995	N/A	004	H01L 021/52

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 07045641A	N/A	1993JP-0190516	July 30, 1993

INT-CL (IPC): H01L021/52

ABSTRACTED-PUB-NO: JP 07045641A

BASIC-ABSTRACT:

The mounting method involves mounting of a base chip like semiconductor device (2) on a substrate (1), through an adhesive agent (4). A solder resist (8) is formed along the circumference of a die pad (3) of a semiconductor device, on the substrate.

ADVANTAGE - Inhibits poor bonding and bottom adhesive agent adhering to bonding position of electrode pad.

CHOSEN-DRAWING: Dwg.1/3

TITLE-TERMS: SEMICONDUCTOR DEVICE MOUNT METHOD BARE CHIP TYPE DEVICE FORMATION
SOLDER RESIST CIRCUMFERENCE DIE PAD

DERWENT-CLASS: U11

EPI-CODES: U11-D01A9; U11-E02A3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1995-094735

PAT-NO: JP407045641A

DOCUMENT-IDENTIFIER: **JP 07045641 A**

TITLE: SEMICONDUCTOR DEVICE MOUNTING METHOD

PUBN-DATE: February 14, 1995

INVENTOR- INFORMATION:

NAME

BABA, TERUYOSHI

ASSIGNEE- INFORMATION:

NAME COUNTRY

MATSUSHITA ELECTRIC WORKS LTD N/A

APPL-NO: JP05190516

APPL-DATE: July 30, 1993

INT-CL (IPC): H01L021/52

ABSTRACT:

PURPOSE: To provide a semiconductor device mounting method by which the insufficient bonding caused by a bonding agent flowing out from a die pad on a substrate and adhering to the bonding position of an electrode pad can be prevented.

CONSTITUTION: In a semiconductor device mounting method used for mounting a bare chip-like a semiconductor device 2 on a substrate 1 with a bonding agent 4, a solder resist pattern layer 8 is formed around the mounting position of the device 2 for mounting the device 2. Therefore, the insufficient bonding caused by the bonding agent 4 flowing out from a die pad 3 on the substrate 1 and adhering to an electrode pad 5 can be prevented.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45641

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁶

H 01 L 21/52

識別記号

序内整理番号

A 7376-4M

F I

技術表示箇所

審査請求 未請求 請求項の数3 OL (全4頁)

(21) 出願番号

特願平5-190516

(22) 出願日

平成5年(1993)7月30日

(71) 出願人

000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者

馬場 照義

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人

弁理士 佐藤 成示 (外1名)

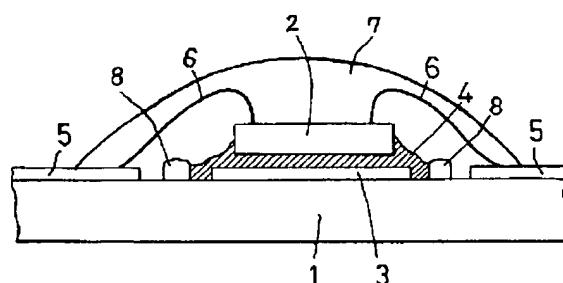
(54) 【発明の名称】 半導体装置の実装方法

(57) 【要約】

【目的】 基板上のダイパッドの外側に流れ出した接着剤が電極パッドのボンディング位置に付着することによって発生するボンディング不良を防止することができる半導体装置の実装方法を提供する。

【構成】 基板1上に、接着剤4を介して、ペアチップ状半導体装置2を実装する実装方法において、前記基板1上の前記ペアチップ状半導体装置1の実装位置周囲に、ソルダーレジスト8の層を形成して実装を行う。

【効果】 基板1上のダイパッド3の外側に流れ出した接着剤4が電極パッド5のボンディング位置に付着することによって発生するボンディング不良を防止することができる。



1

【特許請求の範囲】

【請求項1】 基板上に、接着剤を介して、ペアチップ状半導体装置を実装する実装方法において、前記基板上の前記ペアチップ状半導体装置のダイパッドの周囲に、前記接着剤流れ防止手段を形成して実装を行うことを特徴とする半導体装置の実装方法。

【請求項2】 前記接着剤流れ防止手段は、ソルダーレジストにより前記基板上に形成された平面視環状のパターンであることを特徴とする請求項1記載の半導体装置の実装方法。

【請求項3】 前記接着剤流れ防止手段は、前記基板上に形成された平面視環状のザグリ溝であることを特徴とする請求項1記載の半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ペアチップ状半導体装置の実装方法に関するものである。

【0002】

【従来の技術】 半導体装置を基板上に実装する方法に、ペアチップ状の半導体装置を直接基板状に実装するCOB (Chip on Board) がある。このCOBの方法により、ペアチップ状半導体装置を基板上に実装した一例を図3の断面図に示す。図において、1は基板、2はペアチップ状半導体装置で、電極が上面に形成されている。3はペアチップ状半導体装置2の実装位置に形成されたダイパッドで、金メッキが施されている。4はダイパッド3上に塗布された接着剤で、主に、エポキシ系のものがよく用いられている。5は基板1上に形成された電極パッドで、金メッキが施されている。6は金線等のボンディングワイヤーで、ペアチップ状半導体装置2上面の電極と基板1上に形成された電極パッド5を電気的に接続するものである。7は封止材料で、主に、エポキシ系のものがよく用いられ、ペアチップ状半導体装置1及びボンディングワイヤー6等を保護するためのものである。

【0003】 図3に示すように実装するには、ダイパッド3上に接着剤4を転写ピン又は、ディスペンサー等により供給し、ペアチップ状半導体装置2を、その接着剤4上に配置した後、基板1をオープンに入れ、接着剤4を加熱硬化させる。その後、ボンディング装置を用い、ペアチップ上の電極と、基板1上の電極パッド5をボンディングワイヤー6にて接続する。最後に、ペアチップ状半導体装置2及びボンディングワイヤー6を封止材料7で覆って、封止材料7を硬化させる。

【0004】

【発明が解決しようとする課題】 上記のような従来の実装方法を用いてペアチップ状半導体装置2を実装する場合、図3に示すように、接着剤4がダイパッド3の外側に流れ出し、電極パッド5上のワイヤーボンディング位置にまで達して、ボンディング不良が発生するという問

2

題点があった。これらの不良の一因は、加熱処理の際、接着剤4の粘度が一時低下して流れ易くなるという接着剤4の性質によるものであった。

【0005】 本発明は、上記問題点に鑑みなされたもので、その目的とするところは、基板上のダイパッドの外側に流れ出した接着剤が電極パッドのボンディング位置に付着することによって発生するボンディング不良を防止することができる半導体装置の実装方法を提供することにある。

10 【0006】

【課題を解決するための手段】 上記課題を解決するため、請求項1記載の半導体装置の実装方法は、基板上に、接着剤を介して、ペアチップ状半導体装置を実装する実装方法において、前記基板上の前記ペアチップ状半導体装置の実装位置周囲に、前記接着剤流れ防止手段を形成して実装を行うことを特徴とするものである。

【0007】 また、請求項2記載の半導体装置の実装方法は、請求項1記載の半導体装置の実装方法で、接着剤流れ防止手段を、ソルダーレジストにより前記基板上に形成された平面視環状のパターンとしたことを特徴とするものである。

【0008】 さらに、請求項3記載の半導体装置の実装方法は、請求項1記載の半導体装置の実装方法で、接着剤流れ防止手段を、前記基板上に形成された平面視環状のザグリ溝としたことを特徴とするものである。

【0009】

【作用】 ペアチップ状半導体装置1のダイパッド3の周囲に形成された接着剤流れ防止手段、つまり、ソルダーレジストにより形成された図1に示す平面視環状のパターン8、又は、NC工作機械等により形成された図2に示す平面視環状のザグリ溝9により、接着剤4の流出範囲を制限することができ、基板1上の電極パッド5に接着剤4が付着するのを防止することができる。

【0010】

【実施例】 本発明の実装方法により実装された一例を図1に基づいて説明する。従来例と同等構成については同符号を付すこととする。図において、1は基板、2はペアチップ状半導体装置で、電極が上面に形成されている。3はペアチップ状半導体装置2の実装位置に形成されたダイパッドで、金メッキが施されている。4はダイパッド3上に塗布された接着剤で、主に、エポキシ系のものがよく用いられている。5は基板1上に形成された電極パッドで、金メッキが施されている。6は金線等のボンディングワイヤーで、ペアチップ状半導体装置2上面の電極と基板1上に形成された電極パッド5を電気的に接続するものである。7は封止材料で、主に、エポキシ系のものがよく用いられ、ペアチップ状半導体装置1及びボンディングワイヤー6等を保護するためのものである。8はソルダーレジストにより形成された平面視環状のパターンで、接着剤流れ防止手段の1つである。こ

20

30

40

50

3

の平面視環状のパターン8は、30~40 μ m程度、又は、それ以上の高さになるように形成されたものである。必要ならソルダーレジストを重塗りして、必要な厚さのパターンを形成する。この平面視環状のパターン8により、加熱硬化時、接着剤4がその平面視環状のパターン8の外側に流出することを防止することができ、電極パッド5への接着剤付着によるボンディング不良を防ぐことができる。

【0011】図1に示すように実装するには、まず、ダイパッド3及び電極パッド5が形成された基板1上のダイパッド3の周囲に、ソルダーレジストを塗布等により供給して、30~40 μ m程度、又は、それ以上の高さの平面視環状のパターン8を形成する。その後の工程は、従来と同様にして、ダイパッド3上に接着剤4を転写ピン又は、ディスペンサー等により供給し、ペアチップ状半導体装置2を、その接着剤4上に配置した後、基板1をオープンに入れ、接着剤4を150~160℃程度で30分程度加熱処理を行い硬化させる。その後、ボンディング装置を用い、ペアチップ上の電極と、基板1上の電極パッド5をボンディングワイヤー6にて接続する。最後に、ペアチップ状半導体装置2及びボンディングワイヤー6を封止材料7で覆って、封止材料7を硬化させる。

【0012】本発明の実装方法により実装された異なる例を図2に基づいて説明する。本実施例が図1に示した例と異なるのは、接着剤流れ防止手段のみであるので、同等構成に付いては同符号を付し詳細な説明を省略する。本実施例の接着剤流れ防止手段は、ダイパッド3の周囲に形成されたザグリ溝9である。加熱処理時、流れ出した接着剤4は、このザグリ溝9に流れ込むため、ザグリ溝9の外側に接着剤4が流出するのを防止することができる。このザグリ溝9は一般のNC工作機械のドリル等で形成することができる。その深さは、基板の種類、厚みにもよるが、少なくとも0.1~0.3 μ m程度に

4

形成しておく。その後の実装工程は、図1に示した例と同様であるので省略する。

【0013】以上、接着剤流れ防止手段として、2つの例を示したが、何れも、従来の加工方法、処理方法を流用するものであるので、特別な設備を必要とせず容易に基板1の他の部分への接着剤付着及びボンディング不良を防止することができる。また、本発明は、接着剤を用いた実装方法に広く適用できる実装技術であるが、特に、エポキシ系接着剤、封止材料を多く用いるハイブリッドIC等に有効である。

【0014】

【発明の効果】以上のように、本発明の半導体装置の実装方法によれば、基板上のダイパッド外側に流れ出した接着剤が電極パッドのボンディング位置に付着することによって発生するボンディング不良を防止することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実装方法を用いた一実装例を示す断面図である。

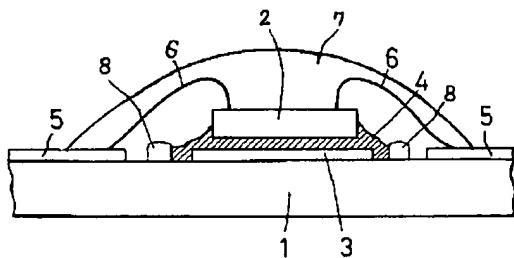
【図2】本発明の半導体装置の実装方法を用いた異なる実装例を示す断面図である。

【図3】従来の半導体装置の実装方法を用いた実装例を示す断面図である。

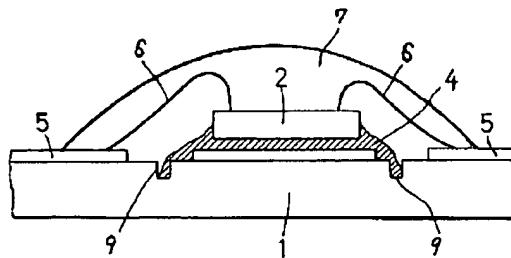
【符号の説明】

1	基板
2	ペアチップ状半導体装置
3	ダイパッド
4	接着剤
5	電極パッド
6	ボンディングワイヤー
7	封止樹脂
8	パターン
9	ザグリ溝

【図1】



【図2】



【図3】

